

5.6. PAMIĘCI

5.6.1. PAMIĘĆ OPERACYJNA

Układy służące do przechowywania ciągów cyfr binarnych są nazywane pamięciami. Ciągi cyfr binarnych najczęściej oznaczają liczbę, ale niekiedy mogą reprezentować litery lub znaki specjalne (ogólnie — symbole alfa-numeryczne) i często występują pod nazwą „słowo”. Część pamięci zajmowana przez jedno słowo to *komórka*; każda komórka ma swój *adres*.

Podstawowe cechy pamięci to:

- 1) pojemność — liczba słów, które mogą być pomieszczone w pamięci;
- 2) długość słowa — liczba bitów w słowie;
- 3) czas dostępu — czas potrzebny na wpisanie (odczytanie) określonego słowa do (z) pamięci.
- 4) cykl pamięci — łączny czas odczytu i regeneracji stanu pamięci.

Cechy 1 i 2 są niekiedy łączone przez podawanie pojemności w bitach.

Pamięci stanowią bardzo ważną część uniwersalnych maszyn cyfrowych i występują w wielu odmianach i realizacjach. W specjalizowanych układach cyfrowych automatyki stosuje się zwykle tylko najprostsze rodzaje pamięci; potrzeba użycia pamięci dużych i złożonych jest jednym z głównych argumentów, uzasadniających konieczność zastąpienia urządzenia specjalizowanego — maszyną uniwersalną.

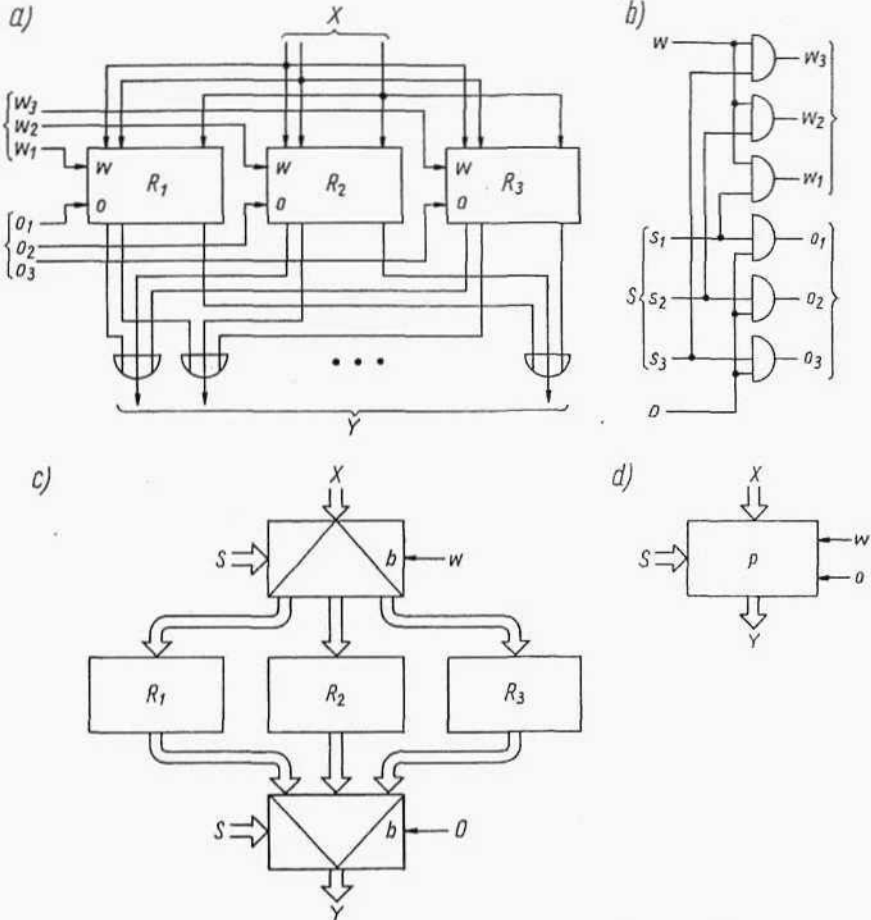
Na wyróżnienie zasługują dwie grupy pamięci:

- pamięć „podręczna”, w której przechowuje się aktualnie potrzebne dane, częściowe wyniki obliczeń, tzw. *pamięć operacyjna*,
- pamięć pomocnicza, o bardzo dużej pojemności do przechowywania wszystkich danych, tablic, programów itp. zwana *pamięcią zewnętrzną*.

Od pamięci operacyjnej wymaga się zwykle krótszego czasu dostępu i dlatego pamięci te są droższe (w przeliczeniu na 1 bit pojemności), natomiast pamięci zewnętrzne są przystosowane do bardzo dużych pojemności i ich stosowanie staje się opłacalne dopiero powyżej pewnej liczby słów. Z tego powodu wiele układów cyfrowych wykorzystuje wyłącznie pamięci operacyjne w postaci

- rejestrów,
- układów pamięciowych scalonych,
- pamięci ferrytowych.

Rejestry równoległe są proste ale drogie, gdyż muszą być wyposażone w pełne układy wpisywania i odczytu. Słowo wpisywane X jest doprowadzane do wejść wszystkich rejestrów równocześnie (każdy rejestr



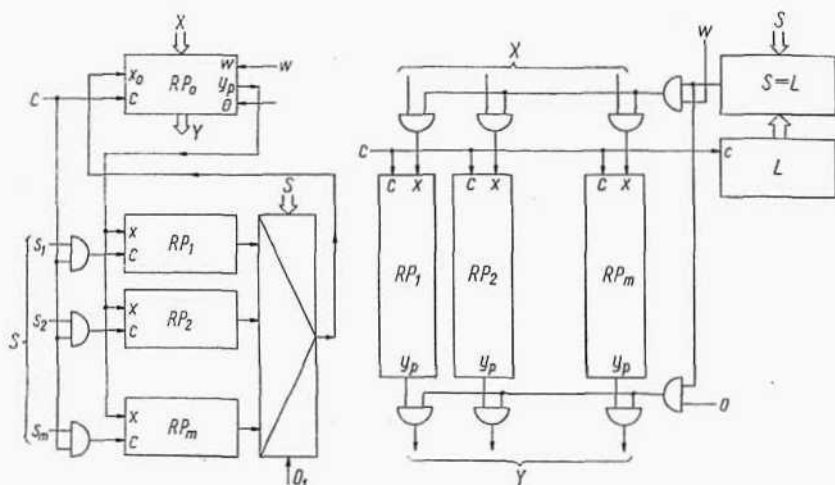
Rys. 5-56. Pamięci z rejestrami równoległymi: a) układ podstawowy; b) przy-
stawka adresowa, c) układ z wydzielonymi komutatorami, d) oznaczenie
schematowe

odpowiada jednej komórce). Adres wybiera właściwy rejestr, wprowadzając sygnał 1 na odpowiednie wejście wpisujące w (rys. 5-56a). Inne szyny adresowe służą do wybierania odczytu.

Częściej jest stosowany taki sposób adresowania, że adres S wybiera komórkę, a rodzaj czynności (*zapis-odczyt*) jest określany odrębnymi sygnałami. Można to łatwo uzyskać, powiększając układ z rys. 5-56a o przystawkę z rys. 5-56b.

Inną postać tego układu przedstawiono na rys. 5-56c. Kolektor i selektor grupowy przejęły funkcje bramek wpisywania i odczytu, wobec czego zastosowane tu rejestry składają się z samych przerzutników.

Z podanych przykładów wynika, że pamięć jest zespołem kilku lub kilkunastu bloków (opisywanych wyżej), jednakże ze względu na jednolitość wypełnianych funkcji można ją uważać za jeden blok funkcjonalny (rys. 5-56d).



Rys. 5-57. Pamięci z rejestrami przesuwającymi: a) z wprowadzaniem szeregowym; b) z wprowadzaniem równoległym

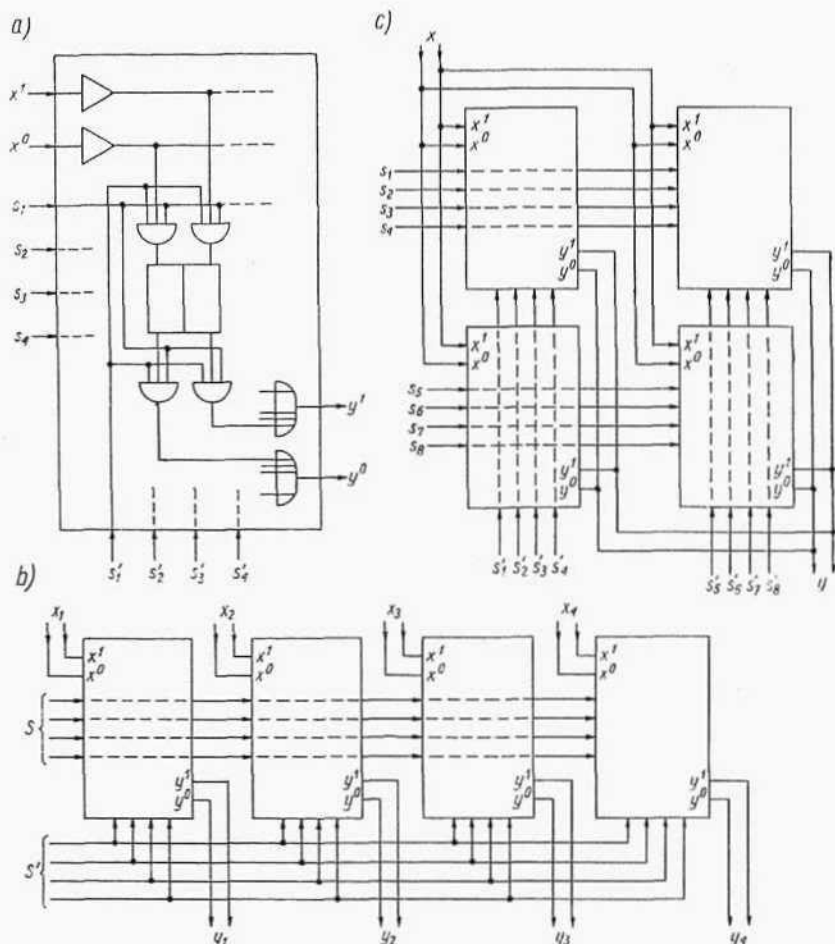
Do budowania pamięci są również wykorzystywane *rejestry przesuwające*. W wersji z rys. 5-57a słowo X jest wpisywane równolegle do rejestru pomocniczego RP_0 i stąd szeregowo przesyłane do rejestru wybranego adresem S . Wybór następuje przez bramkowanie impulsów

taktujących, a S ma kod „1 z m ”. Jeśli każdy rejestr ma n przerzutników, to układ z m rejestrów umożliwia zapamiętanie m słów n -bitowych. Odczytywanie polega na wyprowadzeniu szeregowym słowa z rejestru o adresie S i wpisaniu do RP_0 , skąd jest odczytywane równolegle. Cykl pracy pamięci trwa tu dłużej niż w układach równoległych, ale prostsze są układy komutacji. W wersji scalonej rejestry przesuwające bez wejść i wyjść równoległych są tanie, co uzasadnia stosowanie opisywanych układów. Zamknięcie rejestru pętlą sprzężenia sprawia, że odczyt nie niszczy zawartości.

W wersji z rys. 5-57b poszczególne bity słowa X są wprowadzane równolegle do różnych rejestrów. Adres pozycji aktualnie dostępnej rejestrów jest zawarty w liczniku L (przy m przerzutnikach w każdym rejestrze licznik liczy mod m); adres i oznacza, że na wyjściach y_p jest słowo z komórki $i-1$, a słowo doprowadzone do wejść x rejestru będzie zapisane w komórce i . Komórką jest tu stan przerzutników o tym samym numerze, w różnych rejestrach. Wpisywanie i odczytywanie jest możliwe tylko wtedy, gdy adres S jest taki sam jak stan licznika L (porównanie następuje w komparatorze). Każdy z rejestrów jest zamknięty w pętlę, przerywaną jedynie przy wpisywaniu nowego słowa (na rysunku tego nie pokazano).

Układy pamięciowe scalone są budowane tak, aby przy ograniczonej liczbie wyprowadzeń zewnętrznych układ miał możliwie dużą pojemność informacyjną. Zwykle osiąga się to przez przyporządkowanie jednego układu jednemu bitowi.

Zasadę działania typowego układu pamięciowego wyjaśnia rys. 5-58a. Każda z grup adresowych S i S' ma kod „1 z 4”, co umożliwia wybranie jednego z 16-tu przerzutników (na rysunku pokazano tylko jeden). Szyny wpisywania x są doprowadzone do wszystkich przerzutników układu; $x^1 = 1$ wpisuje do wybranego adresem przerzutnika stan 1, $x^0 = 1$ wpisuje 0. Stan wybranego przerzutnika jest przekazywany na wspólne dla całego układu wyjścia y^1 i y^0 . Układ jest zespołem 16 komórek jednobitowych. Przez identyczne adresowanie czterech takich układów (rys. 5-58b) otrzymuje się pamięć o pojemności 16 słów 4-bitowych. Podobnie tworzy się układy dla dłuższych słów.

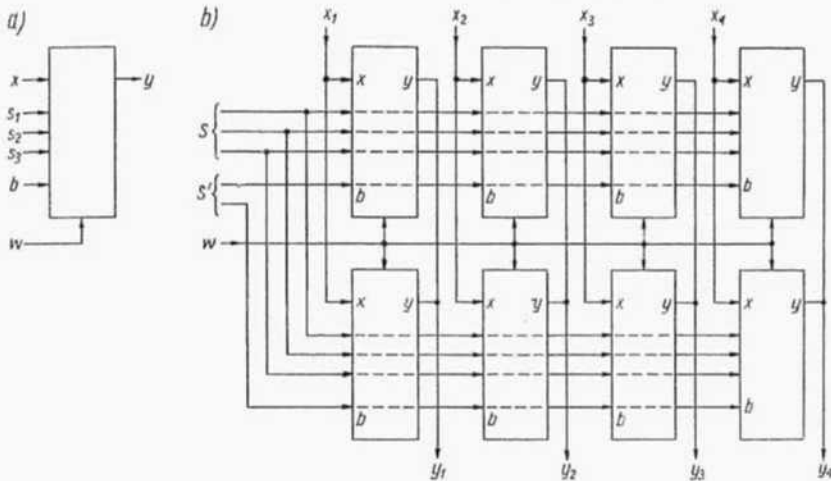


Rys. 5-58. Pamięci z układami scalonymi: a) układ podstawowy; b) tworzenie słowa; c) zwiększanie liczby komórek 1-bitowych

Schemat z rys. 5-58a jest złożony, ale technika układów scalonych umożliwia względnie prostą realizację przez połączenie funkcji przetwornika i bramek. Elementy wyjściowe mają zwykle otwarty kolektor, więc można zierać wyjścia różnych układów. Wykorzystując tę możliwość w sposób podany na rys. 5-58c otrzymuje się układ o 64 komórkach jedno-bitowych. Adresy S i S' mają kod „1 z 8”. Jeśli 8 takich zestawów ma

wspólne szyny S i S' (jak na rys. 5-58b) — tworzy się pamięć o pojemności 64 słowa 8-bitowe.

Inna wersja układu pamięciowego stosuje do adresowania komórek kod naturalny. Typowy układ o trzech wejściach adresowych (rys. 5-59a) ma więc 8 przerzutników. Wejście x i wyjście y są wspólne dla nich wszystkich; wpisywaniem kieruje sygnał w , a ogólny sygnał bramkowania b



Rys. 5-59. Pamięci z układami scalonymi: a) symbol układu; b) sposób łączenia

blokuje (przy $b = 0$) wszystkie funkcje układu, z wyjątkiem pamiętania. Zespół n takich układów, o wspólnych szynach adresowych, tworzy pamięć o pojemności 8 słów n -bitowych. Pojemność można zwiększyć, wykorzystując wejścia b i wyjścia zwarte. Układ z rys. 5-59b ma pojemność 16 słów 4-bitowych; liczbę rzędów i kolumn można powiększać. Adres S ma tu zawsze kod naturalny, natomiast S' ma kod „1 z m ” (m — liczba rzędów).

Przedstawione dwa rozwiązania układów pamięciowych scalonych są bardzo charakterystyczne. Pierwsze tworzy układ koincydencyjny, gdyż w wybieraniu komórki współdziałają dwa adresy: S i S' . Drugie (w zespole o jednym rzędzie) tworzy układ liniowy — jeden adres wywołuje jedno słowo. Zespół o kilku wierszach w drugim rozwiązaniu jest też układem koincydencyjnym.

Struktura *pamięci ferrytowych* przypomina nieco układy opisane wyżej. W *pamięciach koincydencyjnych* sygnały prądowe w dwóch przewodach adresowych wybierają jeden rdzeń (odpowiednik przerzutnika), odczytując z niego informację albo ją wpisując, zależnie od dodatkowych sygnałów sterujących. W *pamięciach liniowych* wybiera się całe słowo sygnałem prądowym w jednym przewodzie adresowym. Odmienność sterowania przerzutnikiem i rdzeniem powoduje, oczywiście, wiele różnic między pamięciami scalonymi i ferrytowymi, a najistotniejszą z nich jest sprawa zachowania zawartości pamięci. Odczytywanie stanu przerzutnika nie zmienia tego stanu, natomiast przy odczycie stanu rdzenia informacja zostaje zatarta. Dla zachowania funkcji pamięci, po każdym odczycie wpisuje się odczytane słowo do tej samej komórki. Ta konieczność regeneracji i wiele innych cech sprawia, że pamięć ferrytowa jest urządzeniem złożonym i kosztownym. Dla użytkownika jest istotne, że funkcjonalnie pamięć ferrytowa nie różni się od wyżej opisanych i można ją uważać za blok, z wejściami X , S , w , o i wyjściem Y .

Typowe dla maszyn uniwersalnych pamięci zewnętrzne (taśmy, bębny, dyski) są w specjalizowanych układach stosowane bardzo rzadko. Zapis na taśmach magnetycznych i papierowych jest wykorzystywany, ale zwykle w układach pamięci stałej.

5.6.2. PAMIĘĆ STAŁA

W wielu przypadkach jest potrzebna pamięć, z której, w czasie pracy urządzenia, informację tylko się odczytuje. Jest to tzw. *pamięć stała*. Ustawienie zawartości tej pamięci jest dokonywane przez odpowiednią jej konstrukcję, a zmiana zawartości wymaga zmian montażowych i niekiedy w ogóle nie jest możliwa.

Odpowiednikiem układu pamięciowego scalonego z rys. 5-58a jest układ z rys. 5-60a (pokazano tylko 2 iloczyny z 16). Koincydencyjnie wybierany jest jeden element, co powoduje, że stan wyjścia y staje się taki jak stan trzeciego wejścia wybranego elementu. Sygnał 0 albo 1 na tym wejściu jest ustalany konstrukcyjnie; może to być rozwiązane w ten sposób, że producent buduje iloczyny z samymi wejściami adresowymi, a użytkownik przerywa wyjście z iloczynu, stosowanie do konkretnych wymagań (w realizacjach scalonych robi się to w czasie produkcji, na podstawie zamówienia kupującego). Układ z rys. 5-60a zawiera 16 ko-

mórek 1-bitowych. Łącząc szyny adresowe n takich układów uzyskuje się pamięć stałą o pojemności 16 komórek n -bitowych. Możliwe jest dalsze rozbudowywanie pamięci (jak na rys. 5-58c). Zwykle adres bezpośrednio wybiera słowo; sygnał odczytu jest wówczas zbędny.

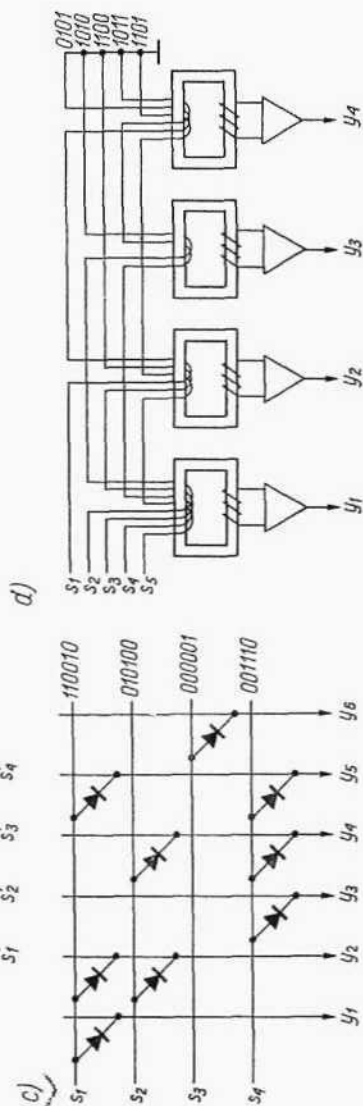
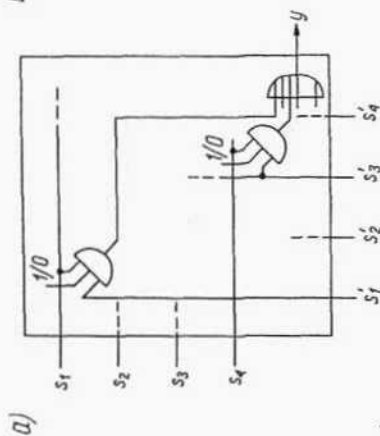
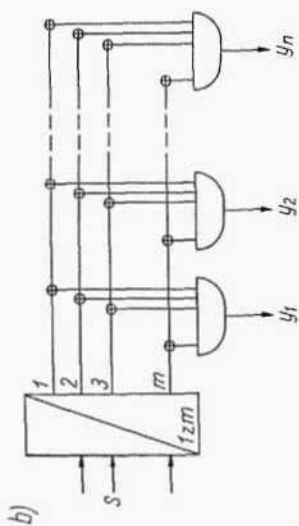
Wersja liniowa pamięci stałej jest przedstawiona na rys. 5-60b. Kółka oznaczają połączenie przecinających się linii lub brak takiego połączenia; jest to ustalone w procesie określania zawartości pamięci. Jeśli połączenia są lutowane, zmiana zawartości jest pracochłonna i dlatego niekiedy są stosowane, w miejscach odpowiadających kółkom, zwieracze ruchome (kółki zwierające) albo łączniki miniaturowe. W przypadku łączników stan pamięci można względnie łatwo zmieniać, np. umieszczając je pod płytą dociskową, w której porobiono otwory w miejscach, gdzie łącznik nie powinien zmieniać stanu.

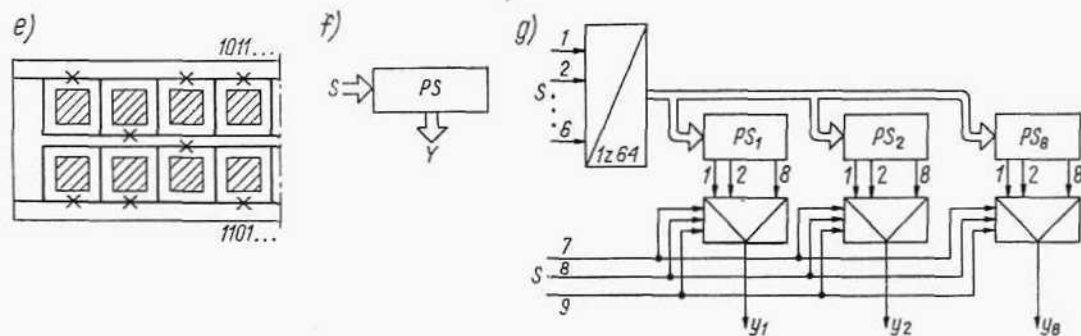
Na rys. 5-60b szyny adresowania bezpośredniego (1, 2, ..., m) są zasilane kodem „1 z m ”; dla zmniejszenia liczby bitów w adresie S zastosowano dekodery.

Popularna realizacja pamięci liniowej jest pokazana na rys. 5-60c (bez dekodera). Diody umieszczono tylko w miejscach odpowiadających jedynkom słowa wyjściowego; sygnał 1 oznacza dodatnie napięcie, więc diody tworzą układ sumy logicznej (rys. 2-27a). W rozwiązaniach konstrukcyjnych przewody adresowe i wyjściowe umieszcza się zwykle w dwóch różnych, równoległych płaszczyznach, a diody łączą te płaszczyzny w odpowiednich punktach.

W przypadku większych pojemności najczęściej jest stosowana pamięć transformatorowa, której zasadę działania wyjaśnia rys. 5-60d.

Impuls wysłany przewodem adresowym powoduje powstanie impulsów wyjściowych y z tych rdzeni, przez które przechodzi. Układy praktyczne zawierają jeszcze wzmacniacze wejściowe, a niekiedy dodatkowe rdzenie kompensacyjne, ale mimo tego rozwiązanie umożliwia osiągnięcie dużych pojemności przy niewielkich kosztach. Liczba przewodów adresowych przeciąganych przez jeden rdzeń może wynosić nawet kilkadziesiąt, a stosowanie rdzeni dwuczęściowych ułatwia zmianę okablowania. Zamiast przewlekanych przez rdzeń przewodów w izolacji, często używane są cienkie paski plastyczne z naniesionymi ścieżkami przewodzącymi (rys. 5-60e). Każdy pasek zawiera dwa przewody adresowe; przecięcie ścieżki w odpowiednich miejscach (zaznaczonych krzyżykami) sprawia,





Rys. 5-60. Pamięci stałe: a) układ koincydencyjny; b) układ liniowy z dekodern; c) pamięć diodowa; d) pamięć transformatorowa; e) odcinek paska adresowego; f) oznaczenie schematowe; g) przykład rozbudowy pamięci

że ścieżka przechodzi przez rdzeń albo go omija. Zmiana pakietu takich pasków jest bardzo łatwa.

Sposób adresowania przedstawiony na rys. 5-60d wymaga stosowania tylu wzmacniaczy, ile jest przewodów adresowych. W układach praktycznych liczbę wzmacniaczy zmniejsza się przez koincydencyjne wybieranie przewodów adresowych; potencjał jednego końca przewodu jest określany adresem S , a drugiego — adresem S' . Prąd płynie tylko w jednym wybranym przewodzie, dla którego $s_i = 1$ oraz $s'_j = 0$. Przy takim rozwiązaniu $(n+n')$ wzmacniaczy może wybierać jeden z $(n \cdot n')$ przewodów adresowych.

Układy pamięci stałych można łączyć w grupy, zwiększając pojemność albo zmieniając długość słowa. Jedną z możliwych wersji rozbudowanego układu przedstawiono na rys. 5-60g. Podstawowy układ pamięci (oznaczenie jak na rys. 5-60f) zawiera tu 64 słowa 8-bitowe, ale połączenie n takich układów wraz z selektorami tworzy pamięć o pojemności $64 \cdot 8 = 512$ słów n -bitowych.

LITERATURA

1. Chu Y.: Maszyny cyfrowe. Zasady projektowania. Warszawa 1967 PWN.
2. Flores I.: Arytmetyka maszyn cyfrowych. Warszawa 1970, WNT.
3. Grzybek M., Misiurewicz P.: Wybrane tranzystorowe układy cyfrowe. Warszawa, 1969, WNT.
4. Карцев М. А.: Арифметика цифровых машин. Москва 1969, Наука.
5. Kiliński A. (pod redakcją): Zespoły funkcjonalne maszyn cyfrowych. Warszawa 1969, Wydawnictwa Politechniki Warszawskiej.
6. Nowak E., Sawicki Z.: Pamięci maszyn cyfrowych. Warszawa, 1972, WNT.