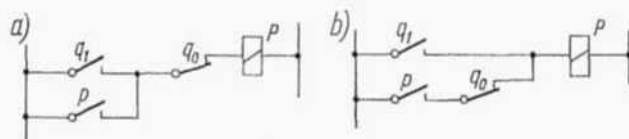


przedstawionych metod można rozszerzyć, zastępując zestyki całymi zespołami zestyków.

Pamięć, czyli zachowanie pewnych stanów układu, w układach przekąźnikowych realizuje się przez podtrzymanie działania przekąźnika własnym zestykiem tego przekąźnika. Możliwe są tu dwa warianty, przedstawione na rys. 2-6. W pierwszym przypadku zwarcie zestyku załącza-



Rys. 2-6. Podstawowe układy realizujące pamięć a) $P = (x+p)\bar{w}$; b) $P = x + p\bar{w}$

jącego q_1 powoduje zadziałanie przekąźnika (przy nie działającym zestyku q_0) i stan $P = 1$ utrzymuje się, niezależnie od stanu zestyku q_1 , aż do chwili zmiany stanu zestyku wyłączającego q_0 ; $q_0 = 1$ zawsze wyłącza przekąźnik P . W drugim przypadku zadziałanie przekąźnika P następuje tak samo, ale zestyk q_0 wyłącza przekąźnik tylko przy $q_1 = 0$. Są to więc układy z priorytetem wyłączania (a) lub załączania (b)

$$\text{a) } P = (q_1 + p)\bar{q}_0 \quad \text{b) } P = q_1 + p\bar{q}_0$$

2.3. ELEMENTY PÓLPRZEWODNIKOWE

2.3.1. ELEMENTY KOMBINACYJNE

W układach przełączających bezzestykowych wartości logiczne 0 i 1 są przenoszone przez sygnały o różnej postaci fizycznej, a zadaniem elementów kombinacyjnych jest realizowanie na tych sygnałach prostych funkcji logicznych. W układach półprzewodnikowych nośnikiem informacji jest zazwyczaj napięcie elektryczne. Jego zerowa wartość jest najczęściej przyjmowana za sygnał logiczny 0, a wartość o wyższym poziomie — za sygnał 1. To przyporządkowanie nosi nazwę *konwencji dodatniej* i będzie przyjęte we wszystkich niżej opisanych realizacjach. W *konwencji ujemnej* niższy poziom napięcia przyjmuje się za 1, a wyższy za 0, co

sprawia, że wszystkie elementy sumy z konwencji dodatniej stają się elementami iloczynu w konwencji ujemnej i — odpowiednio elementy iloczynu realizują sumę. Negacja natomiast nie zmienia swej roli. Zmiany te wynikają z występującego przy zmianie konwencji równoczesnego negowania sygnałów wejściowych i wyjściowych, co na podstawie praw de Morgana [zależność (1-14)] daje następujące przekształcenia:

$$\begin{array}{lll} y = a + b & \bar{y}_1 = \bar{a} + \bar{b} & y_1 = a \cdot b \\ y = a \cdot b & \bar{y}_1 = \bar{a} \cdot \bar{b} & y_1 = a + b \\ y = \bar{a} & \bar{y}_1 = \bar{\bar{a}} & y_1 = a \end{array}$$

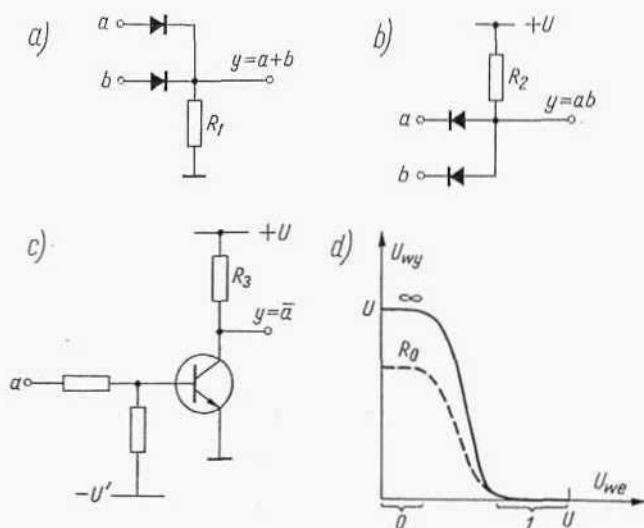
Podobne przekształcenie innych zależności umożliwia prześledzenie roli konwencji w realizacji odpowiedniej funkcji. Zmiana konwencji bywa niekiedy przydatna, gdyż ten sam element lub układ fizyczny może być np. elementem NOR albo NAND, w zależności od konkretnych potrzeb.

Wśród układów kombinacyjnych wyróżnia się kilka typowych grup.

Układy diodowo-tranzystorowe, zwane też układami DTL (ang. Diode-Transistor Logic), należą do bardziej rozpowszechnionych, a zasady ich działania wyjaśnia rys. 2-7. Przy założeniu, że napięcie o wartości zbliżonej do $+U$ oznacza sygnał logiczny 1, a napięcie o wartości bliskiej zera oznacza 0, otrzymuje się na wyjściu elementu z rys. 2-7a sygnał 1 wówczas, gdy na którymkolwiek wejściu pojawi się sygnał 1. Jest to więc element sumy. W przypadku układu z rys. 2-7b sygnał wyjściowy ma wartość 1 tylko wówczas, gdy obydwa sygnały wejściowe przyjmują wartość 1; jest to element iloczynu. Łatwo zauważyć, że zwiększając liczbę diod można zwiększyć liczbę argumentów odpowiedniej funkcji.

Realizacja negacji wymaga odwrócenia fazy zmian napięcia, a więc zastosowania elementu czynnego (rys. 2-7c). Działanie układu negatora wyjaśnia jego *statyczna charakterystyka* wejściowo-wyjściowa (rys. 2-7d). Zastosowanie dodatkowego napięcia polaryzującego — U' sprawia, że początkowy odcinek tej charakterystyki (przy małych U_{we}) jest płaski. Dalej tranzystor wchodzi w obszar aktywnego działania i napięcie wyjściowe maleje, tym gwałtowniej, im większe jest wzmocnienie tranzystora. Dzielnik wejściowy jest tak dobrany, by nasycenie tranzystora

nastąpiło jeszcze w zakresie roboczych zmian U_{we} , co powoduje powstanie drugiego płaskiego odcinka charakterystyki. Obecność tych płaskich odcinków sprawia, że sygnał wyjściowy elementu jest w pewnym zakresie niezależny od wahań napięć wejściowych, odpowiadających sygnałom 0 i 1; negator regeneruje więc sygnały. Obciążenie negatora rezystancją R_0 (do masy) powoduje zmniejszenie sygnału 1 (rys. 2-7d). Ponieważ



Rys. 2-7. Diodowe elementy sumy (a) i iloczynu (b) oraz element negacji (c) i jego charakterystyka (d)

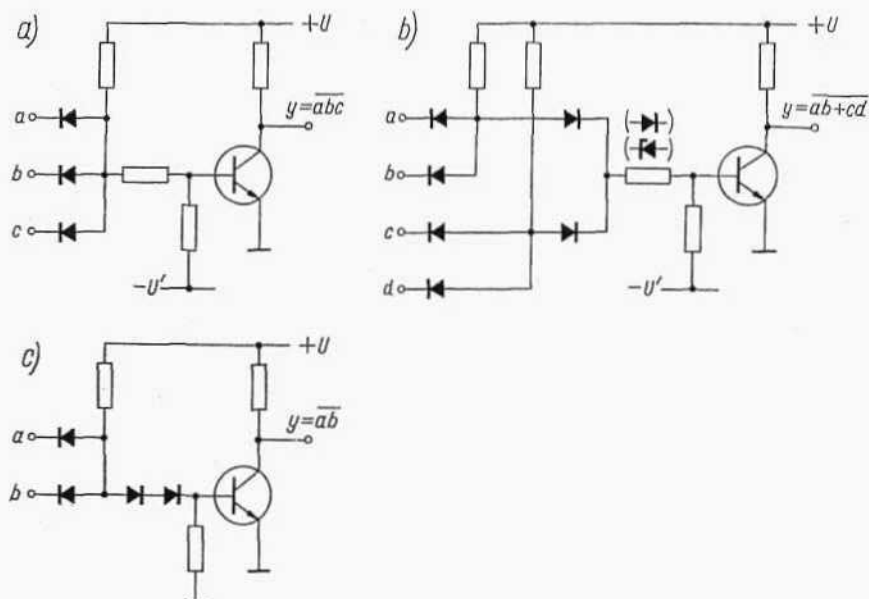
wartość sygnału 0 podlega mniejszym wahaniom, zazwyczaj charakterystykę wejściowo-wyjściową negatora dobiera się tak, by dolny płaski odcinek charakterystyki był dłuższy od górnego.

Opisane elementy są proste i tanie lecz, niestety, nie nadają się do zestawiania dowolnych układów dla złożonych funkcji, z powodu wpływu obciążenia na parametry elementu. W złożonych układach wyjścia jednych elementów są łączone z wejściami innych i jeśli obciążenie elementu nie przekracza pewnej granicy, nie może ono mieć wpływu na wartość sygnałów logicznych. Wystarczy jednak przeanalizować dwa przypadki łączenia elementów z rys. 2-7; sumy obciążonej iloczynem i iloczynu

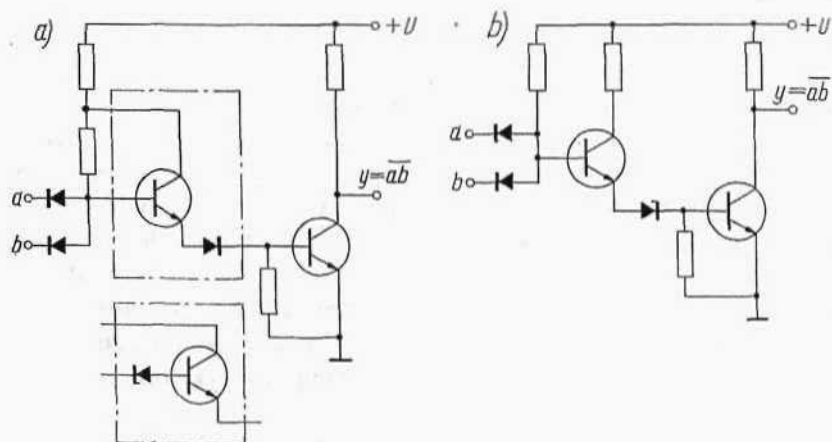
obciążonego sumą, by zauważyć sprzeczne warunki określające wartości występujących w tych elementach rezystancji. W pierwszym przypadku 0 na wyjściu sumy ma małą wartość, gdy R_1 jest mała i R_2 duża, w drugim natomiast sygnał 1 na wyjściu iloczynu jest odpowiednio duży, gdy R_2 jest mała, a R_1 — duża. W dodatku jeśli negator jest obciążony elementem sumy, to (dla zachowania poziomu 1) rezystancja R_1 powinna być duża, a R_3 mała, natomiast przy układzie negacja-iloczyn rezystancja R_3 powinna być duża. Ponieważ równoczesne spełnienie wszystkich tych wymagań nie jest możliwe, wprowadza się pewne ograniczenia na strukturę układu, zwykle przez sztywne połączenie w jednym elemencie dwóch lub trzech realizacji z rys. 2-7. Typowym przykładem takiego połączenia jest popularny element NAND w wersji DTL, o schemacie jak na rys. 2-8a. Element ten zastępuje w układach wszystkie trzy poprzednie, ujednolica charakter obciążenia i regeneruje sygnały wejściowe, lecz zwiększa nieco koszt układu i stopień trudności projektowania. Na rys. 2-8b przedstawiono tzw. sumo-iloczyn z negacją — połączenie wszystkich trzech elementów z rys. 2-7 w jeden element uniwersalny. Niekiedy rezystor wejściowy tranzystora jest w tych rozwiązaniach zastępowany diodą — dla przyspieszenia działania układu, albo diodą Zenera — dla zwiększenia zakresu nieczułości tranzystora na małe sygnały. Stosowanie dwóch napięć zasilających jest kłopotliwe i dlatego chętnie jest wykorzystywane rozwiązanie (rys. 2-8c), w którym rolę U' — utworzenie zakresu nieczułości dla małych sygnałów — przejmują dwie diody krzemowe. To rozwiązanie w wersji scalonej jest niekiedy rozbudowywane w ten sposób, że diody zaporowe zastępuje tranzystor lub dioda Zenera (rys. 2-9). Dodatkowy tranzystor sprawia, że pochyły odcinek charakterystyki (rys. 2-7d) staje się zupełnie stromy, powiększając robocze zakresy sygnałów 0 i 1, a ponadto zmniejsza moc pobieraną ze źródła sygnałów wejściowych, co umożliwia zwiększenie liczby wejść. Dioda Zenera zwiększa początkowy płaski odcinek charakterystyki, co jest niezwykle ważne zwłaszcza w przemysłowych układach automatyki, w których walka z zakłóceniami jest głównym problemem projektanta.

Jeszcze bardziej rozbudowane układy DTL wykorzystują rozwiązania opisanych niżej układów TTL.

Układy rezystancyjno-tranzystorowe (RTL — Resistor-Transistor Logic) mają zazwyczaj postać NOR'a z rys. 2-10a. Dzielnik wejściowy jest

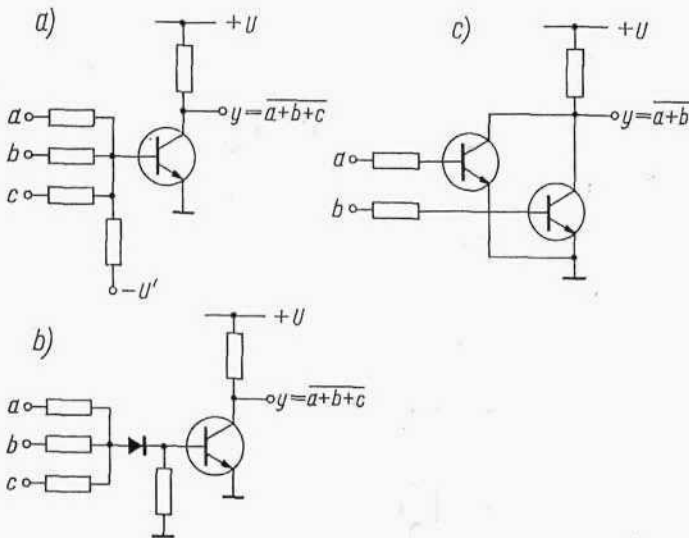


Rys. 2-8. Układy DTL



Rys. 2-9. Układy dwutranzystorowe: a) DTL, b) DTL(Z)

tu dobrany w ten sposób, że nawet jeden tylko sygnał wejściowy o poziomie 1 wystarcza do nasycenia tranzystora, przez co uzyskuje się efekt sumowania logicznego. Zastąpienie diod rezystorami zwiększa niezawodność i zmniejsza koszt układu (przy budowie tradycyjnej), ale

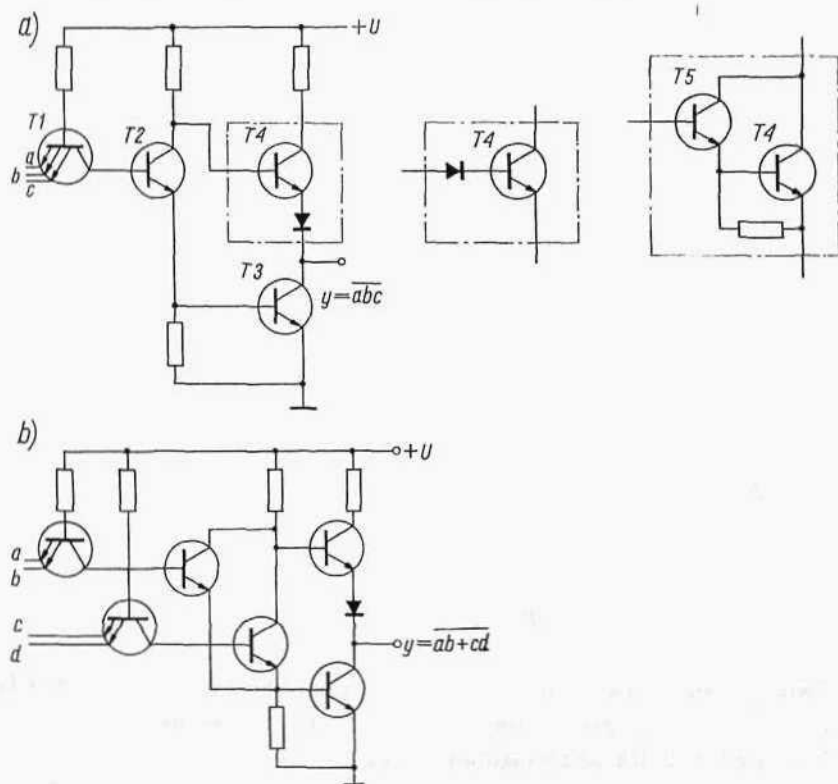


Rys. 2-10. Układy RTL

również zmniejsza szybkość działania i dopuszczalną liczbę wejść. Dioda w rozwiązaniu z rys. 2-10b umożliwia zasilanie jednym napięciem. Wersja z rys. 2-10c jest stosowana rzadko.

Układy tranzystorowo-tranzystorowe (T^2L lub T^1TL — Transistor-Transistor Logic) są budowane wyłącznie w wersji scalonej, gdzie koszt tranzystorów nie jest duży i można zrezygnować z prostoty układu. Typowy układ TTL przedstawia rys. 2-11a. Tranzystor $T1$ wraz z rezystorem działa tu tak samo jak iloczyn diodowy w rozwiązaniu z rys. 2-8a. Tranzystor $T2$ jest pomocniczym wzmacniaczem, wysterowującym stopień końcowy. Gdy $abc = 1$, tranzystor $T2$ przewodzi, gdy $abc = 0$, tranzystor $T2$ jest zablokowany. Działanie tranzystora $T3$ jest zależne

bezpośrednio od przepływu prądu przez tranzystor $T2$, a (wskutek działania wtórnika) tranzystor $T3$ powtarza stany tranzystora $T2$. Przy zablokowanym tranzystorze $T2$ napięcie na bazie tranzystora $T4$ jest prawie równe U , więc tranzystor $T4$ stanowi małą rezystancję w obwodzie zablo-



Rys. 2-11. Układy T^2L : a) NAND z różnymi wersjami stopnia końcowego;
b) sumo-iloczyn z negacją

kowanego tranzystora $T3$. Gdy tranzystory $T2$ i $T3$ przewodzą, tranzystor $T4$ jest zablokowany, w czym wydatnie pomaga dioda, zmniejszając napięcie emiter-baza tranzystora $T4$. W niektórych rozwiązaniach dioda jest umieszczona w obwodzie bazy lub zastępowana tranzystorem. Układ z rys. 2-11 działa więc podobnie jak NAND z rys. 2-8c, ale elastyczna

zmiana rezystancji w obwodzie tranzystora wyjściowego (T_3) sprawia, że układ TTL pracuje szybciej i ma większą obciążalność niż DTL.

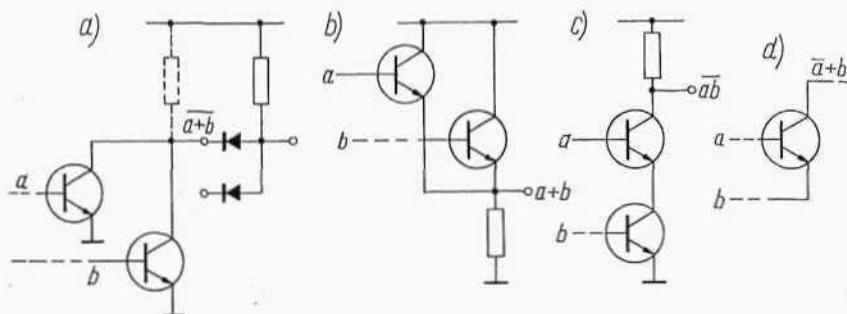
W systemach układów scalonych TTL, obok układu NAND, występuje zwykle jego rozszerzona wersja (rys. 2-11b), w której przez równoległe połączenie kilku tranzystorów T_2 uzyskuje się efekt sumowania logicznego. Układ ten jest bardzo przydatny przy tworzeniu złożonych układów, a w wersji iloczynów jednoargumentowych staje się układem NOR (liczbę członów równoległych można niekiedy zmieniać w zależności od potrzeb, przez dodanie przystawki wejściowej (*eksperdera*)).

Przedstawione wyżej schematowe rozwiązania elementów kombinacyjnych są stosowane wówczas, gdy układ powstaje przez łączenie poszczególnych elementów elektronicznych lub też występuje w zestawie układów scalonych niższego poziomu (małej skali integracji — SSI — Small Scale Integration), przy czym nie podano tu rozwiązań nietypowych dla automatyki — o bardzo dużej szybkości działania lub bardzo małym poborze mocy. W systemach średniej i wielkiej skali integracji (MSI, LSI) występują jeszcze inne rozwiązania układowe, ale zazwyczaj, wykorzystują one podobne zasady.

Wprawdzie nowoczesne układy cyfrowe zestawia się z typowych, gotowych elementów, ale niekiedy funkcje tych elementów można dodatkowo rozszerzyć przez drobne zmiany. Często elementy są do tego przystosowane. Przykładem może tu być budowanie układów przez równoległe łączenie elementów. Jak wiadomo (rys. 2-10c, 2-11b), uzyskuje się wówczas łatwo funkcję sumy. Ponieważ zwieranie wyjść typowych elementów jest niedopuszczalne (zmniejszona rezystancja w obwodzie kolektorów powoduje uszkodzenie tranzystora), w przypadku układów jednotranzystorowych należy jeden element pozbawić zasilania $+U$ i dopiero wtedy połączyć wyjścia. Dla układów wielotranzystorowych możliwość takiego łączenia jest często przewidziana przez producenta i w systemie występują układy bez rezystora wyjściowego (lub odpowiedniej części układu — w TTL), tzw. *układy z otwartym kolektorem*.

W przypadku gdy obciążenie połączonych elementów ma charakter wejścia iloczynowego, stosowanie rezystora wyjściowego jest w zasadzie zbędne (rys. 2-12a), ale jego obecność poprawia sygnał 1, zwłaszcza

przy większej liczbie zwartych kolektorów. Przy pracy wtórnikowej tranzystorów w realizowanej funkcji nie występuje negacja, więc równoległe połączenie tranzystorów może też realizować sumę logiczną (rys. 2-12b). Oczywiście połączenie szeregowe tranzystorów w układzie z uziemionym emiterem daje negację iloczynu (rys. 2-12c), a w układzie wtórnikowym — iloczyn. Fakt ten jest chętnie wykorzystywany do bram-



Rys. 2-12. Kilka sposobów wykorzystania tranzystora w układach logicznych

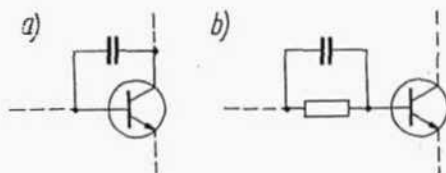
kowania całych układów (niekoniecznie cyfrowych), np. uruchamiania i zatrzymywania multiwibratora astabilnego. Wystarczy wówczas do odpowiedniego tranzystora w układzie dołączyć szeregowo dodatkowy tranzystor bramkujący.

Jeszcze bardziej złożoną funkcję można otrzymać przez wykorzystanie w dodatkowym tranzystorze zarówno jego bazy jak i emitera (rys. 2-12d), ale wymaga to starannego dobierania napięć.

Warto również pamiętać o pewnych prostych metodach wpływania na czas działania elementu. W przemysłowych układach automatyki szybkość pracy elementów nie jest zazwyczaj duża i nawet najprostsze realizacje półprzewodnikowe są w tych przypadkach zbyt szybkie. Ma to istotną wadę, gdyż elementy o dużych szybkościach działania są bardziej podatne na zakłócenia impulsowe. Naturalną szybkość działania elementu można zmniejszyć przez dołączenie kondensatora (rys. 2-13a); rozwiązanie to jest stosowane w niektórych systemach przemysłowych.

Gdy w najwolniej działającym układzie RTL znajdzie potrzeba przyspieszenia pracy niektórych elementów, można to zrobić przez forso-
wanie prądu bazy (rys. 2-13b).

Przy rysowaniu schematów logicznych używa się symboli elemen-
tów, przy czym różnorodność spotykanych oznaczeń jest bardzo duża.



Rys. 2-13. Zmniejszanie (a) i zwiększanie (b) szybkości działania tranzystora

Obecnie w literaturze światowej najczęściej są stosowane symbole z pierwszej kolumny tabl. 2-3, a dla podkreślenia, że chodzi o elementy scalone — również wersja z drugiej kolumny. Dalej w tabl. 2-3 podane są symbole spotykane w polskiej literaturze, lecz stopniowo wycofy-

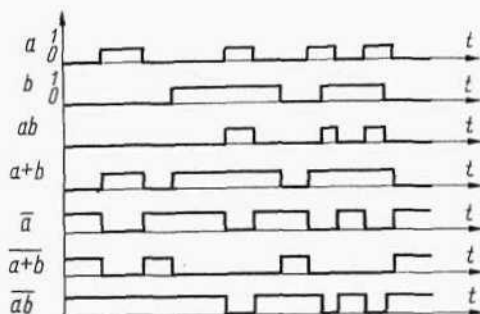
Tablica 2-3

Oznaczenia elementów logicznych bezstykowych

I					
LUB					
NIE					
NOR					
NAND					

wane, a w ostatniej kolumnie symbole graficzne zalecane przez polską normę branżową¹⁾.

Działanie bardziej złożonych układów przełączających dogodnie jest opisywać wykresem czasowym obrazującym przebieg sygnałów wejściowych i wyjściowych w czasie. Wprowadźcie odpowiednie przebiegi



Rys. 2-14. Wykresy czasowe najczęściej używanych funktorów

dla rozpatrywanych wyżej elementów I, LUB, NIE, NOR, NAND są oczywiste, ale dla utrwalenia w pamięci przedstawiono je jeszcze na rys. 2-14.

2.3.2. ELEMENTY PAMIĘCIOWE I IMPULSOWE

Pamięć w układach bezstykowych realizuje się na tych samych zasadach co w układach stykowych (p. 2.2), na podstawie tych samych funkcji logicznych. Wprowadzając bardziej dogodne oznaczenia, można działanie pamięci z priorytetem wyłączania zapisać w postaci wzoru

$$Q' = (w + Q)\bar{z}$$

przy czym: Q — sygnał wyjściowy elementu pamięci, Q' — ten sam sygnał nieco opóźniony²⁾ — jako że skutek zawsze jest opóźniony względem przyczyny; w — wejściowy sygnał wpisujący (jedynkę do pamięci);

¹⁾ Norma branżowa — Automatyczne przetwarzanie informacji — Binarne elementy cyfrowe, symbole graficzne $\frac{\text{BN-71}}{3100-01}$

²⁾ Wyjaśnienia roli opóźnienia — w p. 3.2.