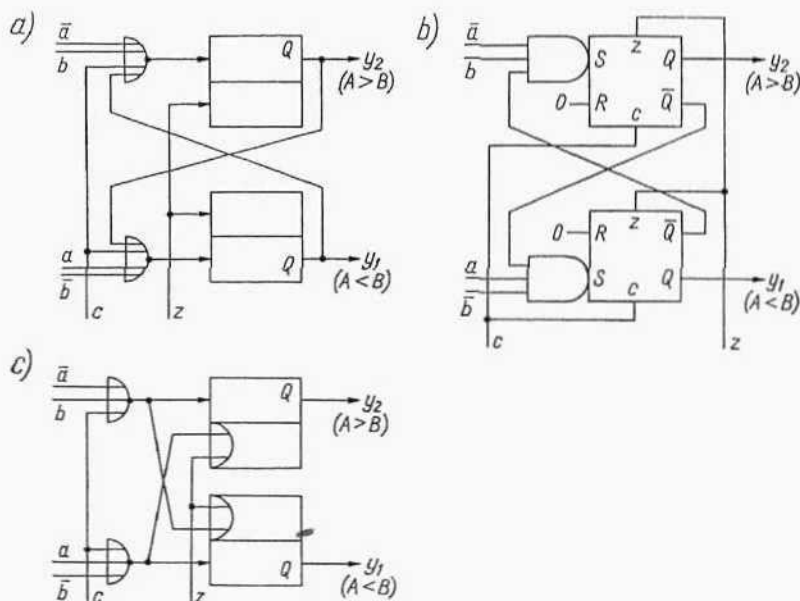


Jeśli liczby są wprowadzane do komparatora od najmniejszego bitu, to wynik porównania ustala się dopiero w ostatnim takcie o różnych bitach, a każda nowa decyzja likwiduje poprzednią. Statyczny układ takiego komparatora przedstawiono na rys. 5-30c. Realizacja dynamiczna z przerzutnikami synchronizowanymi nie jest w tym przypadku oplacalna.



Rys. 5-30. Komparatory szeregowo z wprowadzaniem liczb od największego bitu (a,b) i od najmniejszego bitu (c)

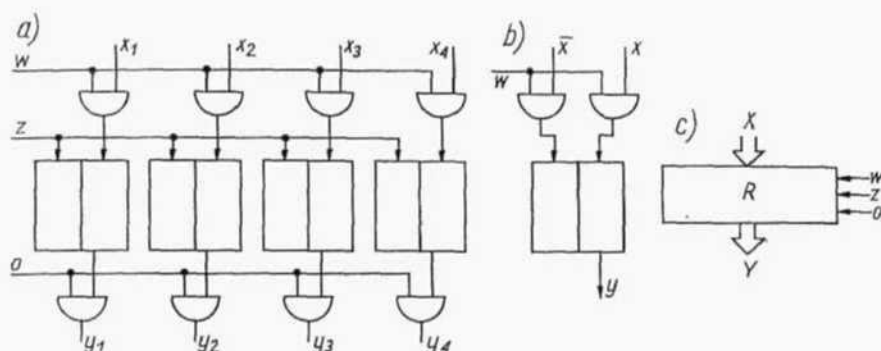
W rozwiązaniach z rys. 5-30 jest $y_1 = 1$ gdy $A < B$, natomiast $y_2 = 1$ gdy $A > B$. Jeśli potrzebny jest odrębny sygnał gdy $A = B$ można go utworzyć za pomocą funkcji $y_3 = \bar{y}_1 \bar{y}_2$

5.4. REJESTRY

5.4.1. REJESTRY RÓWNOLEGŁE

Zespół przerzutników służący do przechowywania informacji w postaci liczby dwójkowej jest nazywany *rejestrem równoległym*. Typowy układ takiego rejestru przedstawiono na rys. 5-31a. Sygnał zerujący

z ustawia początkowy (zerowy) stan przerzutników. Impuls na szynie wpisującej w powoduje wpisanie do pamięci stanu sygnałów x . Gdy $w = 0$, zmiany X nie wpływają na zawartość pamięci. Liczba zapamiętana w przerzutnikach pojawia się na wyjściu Y na skutek działania sygnału odczytu o . Jeden zestaw przerzutników może być wyposażony w kilka zestawów



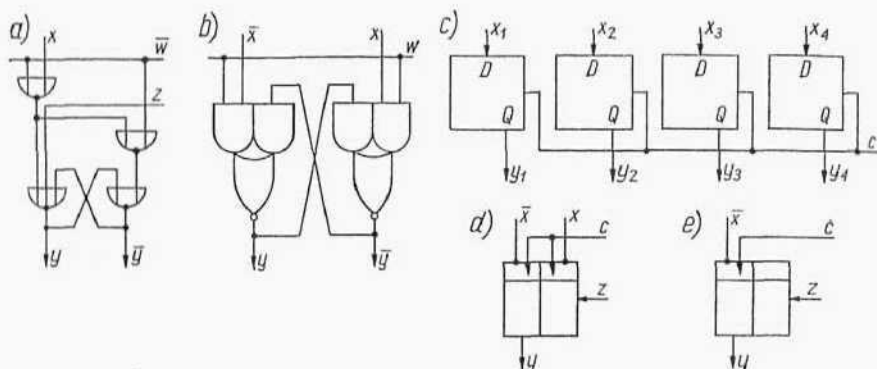
Rys. 5-31. Rejestr równoległy: a) schemat podstawowy; b) wpisywanie dwuprzewodowe; c) symbol

iloczynów wejściowych (np. dla umożliwienia wpisywania liczb z kilku innych rejestrów) oraz wyjściowych (dla kierowania liczb wyjściowych w różne miejsca układu). Jeśli blok, do którego jest kierowana informacja wyjściowa ma wejścia bramkowane, wówczas bramkowanie odczytu nie jest potrzebne i iloczyny wyjściowe w rejestrach nie występują.

Układ z rys. 5-31a jest wykorzystywany w trzech taktach: zerowanie — wpisywanie — odczytywanie. Niekiedy zerowanie całego rejestru — dla zmiany stanu niewielkiego fragmentu wpisanej liczby — jest niewskazane, lub generowanie sygnału z następuje z trudnością. W takich przypadkach stosuje się dwuprzewodowe wpisywanie informacji (rys. 5-31b). Każdy sygnał $w = 1$ wpisuje tu do przerzutników aktualny stan x . Wejście zerujące bywa również stosowane, ale tylko do ogólnego zerowania rejestru (np. po włączeniu napięcia zasilającego), a nie przed każdym nowym wpisem. Praktyczny układ dwuprzewodowego wpisywania, z wykorzystaniem jednego tylko sygnału x , jest pokazany na rys. 5-32a. Taki sam schemat (ale z sygnałami w i \bar{x}) obowiązuje przy reali-

zacji z elementów NAND. Na rys. 5-32b przedstawiono inny układ stosowany w wersjach scalonych.

Sposób wpisywania kwalifikuje wszystkie opisane wyżej przykłady do grupy *rejestrów statycznych*. Typowy *rejestr dynamiczny* jest przedstawiony na rys. 5-32c. Liczba wejściowa jest tu wpisywana do rejestru

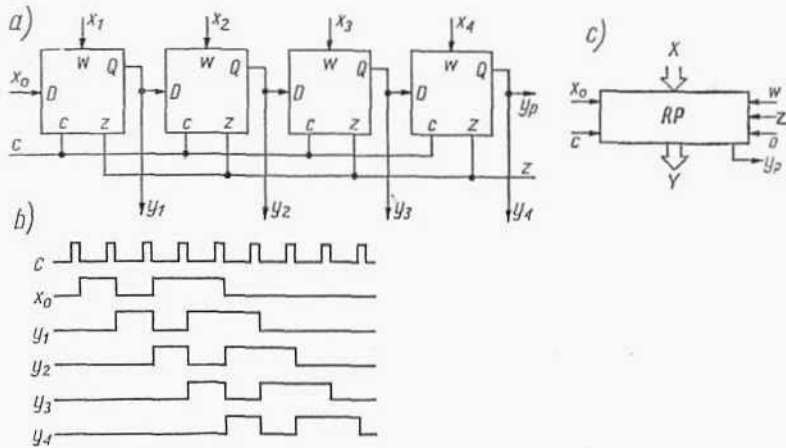


Rys. 5-32. Praktyczne realizacje członów rejestru statycznego (a,b), rejestr dynamiczny (c) i członów tego rejestru (d,e)

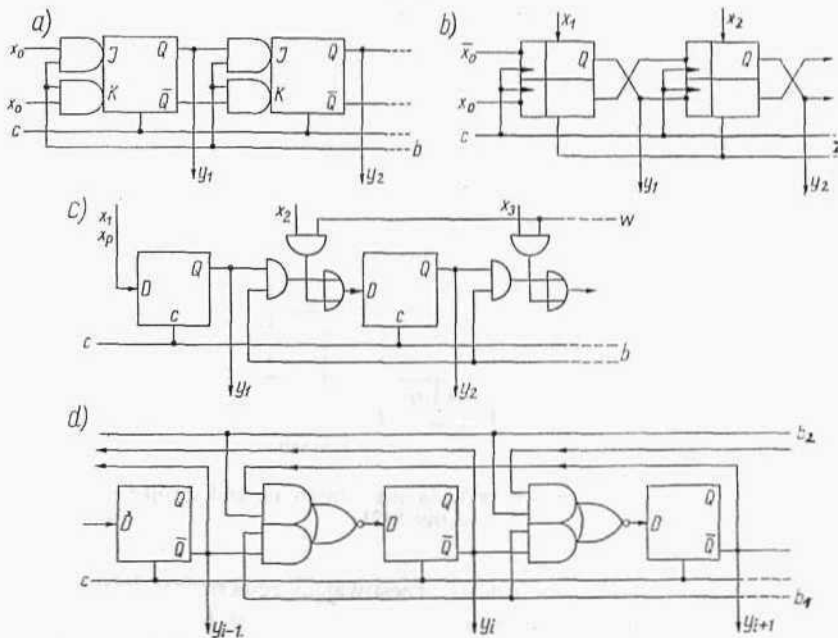
przy zmianie sygnału taktującego c . Synchronizowany przerzutnik D może występować w różnych postaciach, również z wejściami impulsowymi (rys. 5-32d). Pewnym uproszczeniem tego rozwiązania jest wersja z wpisywaniem jednoprzewodowym (i uprzednim zerowaniem), wykorzystująca przerzutniki z rys. 5-32e.

5.4.2. REJESTRY PRZESUWAJĄCE (SZEREGOWE)

Rejestr przesuwający albo *szeregowy*, to zespół przerzutników połączonych w ten sposób, że informacja z każdego przerzutnika może być przesłana do sąsiedniego. Typowym rozwiązaniem jest układ z rys. 5-33a, w którym zawartość rejestru jest przesuwana w prawo pod wpływem impulsów taktujących c (rys. 5-33b). Na wykresie czasowym liczba (informacja) jest wprowadzana do rejestru szeregowo wejściem x_0 , ale można również wpisywać ją równoległe (wejścia x_1, x_2, \dots, x_n), tak jak w rejestrach równoległych. Na rys. 5-33a nie pokazano bramkowania wejść, gdyż ich realizacja jest zawsze jednakowa. Wyjściami rejestru



Rys. 5-33. Rejestr przesuwający: a) schemat ogólny; b) wykres czasowy; c) symbol



Rys. 5-34. Przykłady rejestrów przesuwających: a) z bramkowaniem przesuwania; b) z elementami impulsowymi; c) z bramkowaniem przesuwania i wpisywania; d) z działaniem dwukierunkowym (rejestr rewersyjny)

przesuwającego mogą być wyjścia y_1, y_2, \dots, y_n , na których występują liczby w postaci równoległej, albo tylko wyjście y_p , jeśli liczba ma być przedstawiona w postaci szeregowej. Wyjścia mogą być również bramkowane sygnałem o („odczyt”).

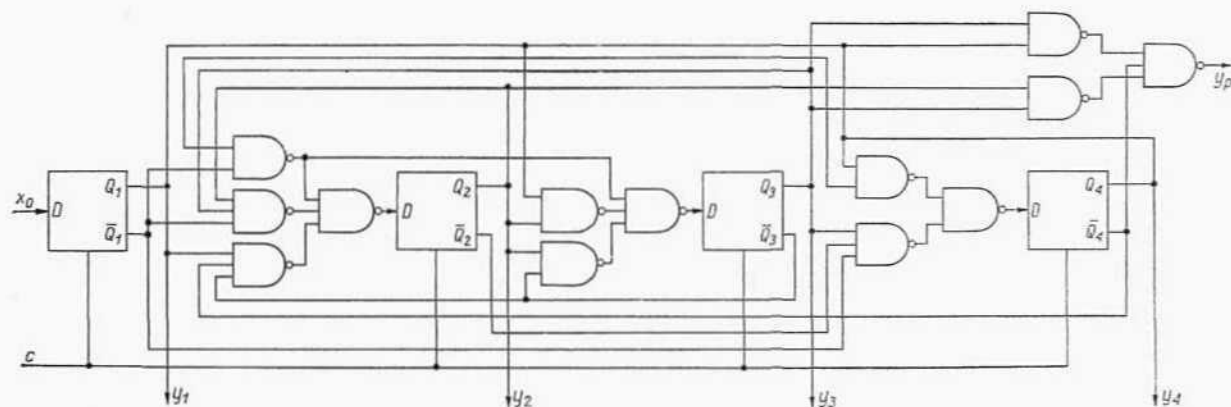
Przerzutniki D podstawowej wersji rejestru można realizować różnie, np. za pomocą przerzutników \mathcal{JK} z iloczynami wejściowymi (rys. 5-34a), umożliwiającymi bramkowanie (przy $b = 0$ informacja jest przechowywana bez przesuwania, mimo zmian c), albo za pomocą przerzutników z bramkami impulsowymi, jak na rys. 5-34b. Jeśli wejście c przerzutnika stanowi obciążenie pojemnościowe, taktowanie długich rejestrów wymaga stosowania specjalnych wzmacniaczy.

Na rys. 5-34c pokazano inny sposób wpisywania równoległego i bramkowania przesuwu. Przy $w = b = 0$ impuls c zeruje cały rejestr. Rozwiązanie takie jest stosowane, gdy dostępne są elementy o funkcji $\overline{ab+cd}$. Wprawdzie uzyskuje się z nich negację funkcji wymaganej na rys. 5-34c, ale ponieważ w przerzutnikach typu D jest $Q' = D$ i $\overline{Q'} = \overline{D}$, więc wprowadzając negację właściwego sygnału na wejście D otrzymuje się właściwy sygnał wyjściowy na wyjściu \overline{Q} . Odpowiedni układ pokazano na rys. 5-34d, przy czym zamiast wejścia x_i wprowadzono tu sygnał

$Q_2 Q_1$		00	01	11	10
$Q_4 Q_3$	00	0000	0001	0011	0010
	01	0100	1000	1010	1001
	11	—	—	—	—
	10	1011	1100	—	—
		$Q_3' Q_4' Q_3' Q_2'$			

Rys. 5-35. Tablica konwertera kodu naturalnego na kod dwójkowo-dziesiętny 8421

y_{i+1} , tworząc w ten sposób rejestr przesuwający rewersyjny. Przy $b_1 = 1$, $b_2 = 0$ informacja jest przesuwana w prawo, przy $b_1 = 0$, $b_2 = 1$ — w lewo, a przy $b_1 = b_2 = 0$ — rejestr jest zerowany. Wpisywanie równoległe jest w tym przypadku realizowane za pośrednictwem wejść x, w .



Rys. 5-36. Schemat dekady konwertera kodu naturalnego na kod 8421

W podobny sposób jak układ z rys. 5-34d mogą być budowane tzw. *układy sekwencyjne liniowe*, w których

$$Q_{i+1} = Q_i \oplus S_i$$

przy czym S_i może być sygnałem wejściowym x , stanem Q_j albo stałą 0. Układy takie są wykorzystywane jako generatory ciągów kodowych.

Innym interesującym układem rejestru przesuwającego, w którym na sygnałach między sąsiednimi przerzutnikami dokonywane są działania logiczne, jest układ do zamiany naturalnego kodu dwójkowego w kod dwójkowo-dziesiętny 8421. Zamiana ta jest realizowana na liczbach wprowadzanych szeregowo od bardziej znaczących bitów, a układ składa się z odpowiedniej liczby jednakowych bloków dekady. Zasada działania jest następująca:

— jeśli zawartość dekady rejestru ($Q_4Q_3Q_2Q_1$) tworzy liczbę mniejszą od 5, to wiadomo, że po wpisaniu następnego bitu zawartość dekady nie przekroczy liczby 9, więc nie jest potrzebna żadna korekcja stanu rejestru;

— jeśli zawartość dekady tworzy liczbę większą od 4, to po następnym impulsie taktującym powstanie liczba większa od 9, która powinna zostać skorygowana, tak aby powstał sygnał przeniesienia do następnej dekady ($Q_5 = 1$) i odpowiednia reszta w dekadzie rozważanej.

Na przykład stan (0100) może w sposób naturalny dla rejestru zmienić się w (100 x_0) natomiast stan (0110) musi być skorygowany w następnym takcie na 1-(001 x_0). Wszystkie możliwe przejścia opisuje tablica z rys. 5-35. Pominęto w niej Q'_1 , gdyż $Q'_1 = x_0$. Jedną z możliwych realizacji dekady przedstawiono na rys. 5-36. Wyjście $y_p = Q_5$ jest wejściem następnej dekady; na x_0 przychodzi liczba wejściowa. Liczbę w kodzie 8421 można też wyprowadzać równolegle, z wyjść $y_4y_3y_2y_1$.

5.5. LICZNIKI

5.5.1. UKŁADY PODSTAWOWE

Liczniki nazywane są układy służące do zliczania impulsów. Ogólne zasady ich projektowania i odpowiednie przykłady podane były w p. 4.4.3 i 4.4.4, w których wprowadzono podział na *liczniki równoległe* (zwane też *synchronicznymi*) oraz *szeregowo* (*asynchroniczne*).